

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 100269618 B1  
(43)Date of publication of application: 21.07.2000

---

(21)Application number: 1019980016412

(71)Applicant:

HYUNDAI MICRO ELECTRONICS CO., LTD.

(22)Date of filing: 08.05.1998

(72)Inventor:

KIM, TAEK SEUNG

(51)Int. Cl

G11C 11/401

---

## (54) SELF-REFRESH CONTROL CIRCUIT

## (57) Abstract:

PURPOSE: A self-refresh control circuit is provided to reduce peak current by sequentially delaying many bank active signals in case of a self-refresh operation.

CONSTITUTION: An address selector(31) receives an external address and an internal address, and selectively outputs the internal address when receiving a refresh signal. A bank active signal generator(34) receives an active command and a refresh signal, and outputs many bank active signals. A bank active signal generator(33) for a self-refresh operation is connected to an output terminal of the bank active signal generator and an input terminal of the address latch, and sequentially delays many bank active signals when the self-refresh signal is activated. An address latch(32) receives an output signal of the address selector and the self-refresh back active signal, and outputs a row address.

COPYRIGHT 2001 KIPO

## Legal Status

Date of final disposal of an application (20000628)

Patent registration number (1002696180000)

Date of registration (20000721)

BEST AVAILABLE COPY

특1999-0084553

(19) 대한민국특허청(KR),  
 (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
 G11C 11/401

(11) 공개번호: 특1999-0084553  
 (43) 공개일자: 1999년 12월 06일

(21) 출원번호	10-1998-0016412
(22) 출원일자	1998년 05월 08일
(71) 출원인	현대반도체 주식회사 김영환 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자	김택승 충청북도 청주시 상당구 읍량동 861번지 두진백로그린타운 101-415
(74) 대리인	양순석, 한윤근

설명구성 및 특징

## (54) 셀프-리프레쉬 제어 회로

요약

본 발명은 셀프-리프레쉬 제어회로에 관한 것으로, 다수개의 뱅크 액티브 신호를 순차적으로 지연시켜 출력함으로써 셀프-리프레쉬 동작시 발생하는 전류의 최고치를 줄이기 위해, 뱅크 액티브신호 발생기의 출력단과 어드레스 래치의 입력단 사이에 셀프-리프레쉬 동작용 뱅크 액티브신호 발생기가 연결된다. 셀프-리프레쉬 동작용 뱅크 액티브신호 발생기는 뱅크 액티브 신호를 셀프-리프레쉬 뱅크 액티브신호로서 출력하는 제 1 트랜스미션 게이트와, 셀프-리프레쉬 신호가 하이일 때 턴 오프되고, 뱅크 액티브 신호를 셀프-리프레쉬 뱅크 액티브신호로서 출력하는 제 2 트랜스미션 게이트와, 제 2 트랜스미션 게이트와 병렬 연결되고, 셀프-리프레쉬 신호가 하이일 때 턴 온되며, 출력단에 지연수단이 연결되어 뱅크 액티브 신호를 소정 시간 지연시켜 출력하는 제 3 트랜스미션 게이트를 포함하여 이루어져서, 셀프-리프레쉬 동작시 발생하는 전류의 최고치를 감소시킬 뿐만 아니라 노이즈에 대한 저항력도 향상시킨다.

도면도 1도 2도 3도 4도 5도 6도 7도 8도 9도 10도 11도 12도 13도 14도 15도 16도 17도 18도 19도 20도 21도 22도 23도 24도 25도 26도 27도 28도 29도 30도 31도 32도 33도 34도 35도 36도 37도 38도 39도 40도 41도 42도 43도 44도 45도 46도 47도 48도 49도 50도 51도 52도 53도 54도 55도 56도 57도 58도 59도 60도 61도 62도 63도 64도 65도 66도 67도 68도 69도 70도 71도 72도 73도 74도 75도 76도 77도 78도 79도 80도 81도 82도 83도 84도 85도 86도 87도 88도 89도 90도 91도 92도 93도 94도 95도 96도 97도 98도 99도 100도 101도 102도 103도 104도 105도 106도 107도 108도 109도 110도 111도 112도 113도 114도 115도 116도 117도 118도 119도 120도 121도 122도 123도 124도 125도 126도 127도 128도 129도 130도 131도 132도 133도 134도 135도 136도 137도 138도 139도 140도 141도 142도 143도 144도 145도 146도 147도 148도 149도 150도 151도 152도 153도 154도 155도 156도 157도 158도 159도 160도 161도 162도 163도 164도 165도 166도 167도 168도 169도 170도 171도 172도 173도 174도 175도 176도 177도 178도 179도 180도 181도 182도 183도 184도 185도 186도 187도 188도 189도 190도 191도 192도 193도 194도 195도 196도 197도 198도 199도 200도 201도 202도 203도 204도 205도 206도 207도 208도 209도 210도 211도 212도 213도 214도 215도 216도 217도 218도 219도 220도 221도 222도 223도 224도 225도 226도 227도 228도 229도 2210도 2211도 2212도 2213도 2214도 2215도 2216도 2217도 2218도 2219도 2220도 2221도 2222

본 발명은 반도체 메모리의 리프레쉬 제어회로에 관한 것으로, 특히 디램(DRAM: Dynamic Random Access Memory)의 셀프-리프레쉬 제어회로에 관한 것이다.

디램의 단위 메모리 셀은 기본적으로 소위치 역할을 하는 트랜지스터 하나와 데이터를 저장하는 캐시터 하나로 구성되어 있다. 데이터의 저장은 캐시터에 전하가 축적되어 있는 것이므로 원리적으로는 전력의 소비가 없다. 그러나 캐시터가 완벽하지 않기 때문에 저장된 전하는 누설전류에 의해 외부로 소멸되므로 데이터가 손실된다. 따라서 데이터를 읽어버리기 전에 메모리 셀의 데이터를 읽어서 그 읽어낸 정보에 맞추어 다시 초기의 전자량으로 재충전 해주어야 하며 이 동작을 주기적으로 반복해야만 데이터의 기억이 유지된다. 이러한 셀 전하의 재충전 과정을 리프레쉬 동작이라 부른다.

리프레쉬 동작은 보통 외부로부터 로우 어드레스를 인가받아 해당하는 워드라인을 온시킨 후 센스 증폭기를 활성화시킴으로써 이루어진다. 그러나 저전력 소모 등의 목적을 위해 외부로부터 제어신호 없이도 내부적으로 리프레쉬 요구신호 및 제어신호들이 발생되고 내부에서 생성된 어드레스에 의해 리프레쉬 동작이 실행된다. 이를 셀프-리프레쉬 동작이라고 한다.

도 1은 셀프-리프레쉬 동작을 설명하기 위한 메모리 반도체의 로우 어드레스 패스를 나타낸 블록도이다. 여기서 메모리 셀 어레이에는 4개의 뱅크로 구성되어 있다. 리프레쉬 어드레스 카운터(12)는 리프레쉬 신호(REF)를 인가받아 내부 어드레스(RXAI)를 출력한다. 로우 어드레스 버퍼(11)는 외부 어드레스(AI)와 리프레쉬 어드레스 카운터(12)에서 출력되는 내부 어드레스(RXAI)를 입력받고 각 뱅크의 로우 어드레스 또는 엑스-어드레스(X-address: B\_X10-3)를 출력한다. 로우 디코더(13)는 로우 어드레스 버퍼(11)에서 출력되는 엑스-어드레스(B\_X10-3)를 입력받고 이를 분석하여 해당 워드라인을 활성화시킨다. 4개의 뱅크(14)로 구성된 메모리 셀 어레이에는 로우 디코더(13)와 연결되어 있다.

도 2는 도 1의 로우 어드레스 버퍼를 나타낸 블록도이다. 어드레스 셀렉터(21)는 외부 어드레스(AI)와 내부 어드레스(RXAI)를 입력받고, 로우 어드레스(B\_AX1)를 출력한다. 뱅크 액티브 신호 발생기(23)는 액티브 커맨드(ACTV.COM)와 리프레쉬 신호(REF)를 입력받고 뱅크 액티브 신호(BACTO-3)를 출력한다. 어드레스 래치(22)는 어드레스 셀렉터(21)의 출력신호(B\_AX1)와 뱅크 액티브 신호(BACTO-3)를 입력받아 뱅크별로 우 어드레스(B\_X10-3)를 출력한다.

도 1 내지 2를 참조하여 종래의 셀프-리프레쉬 동작을 상세히 설명하면 다음과 같다. 리프레쉬 신호(REF)가 활성화되면 리프레쉬 신호(REF)를 인가받은 리프레쉬 어드레스 카운터(12)는 내부 어드레스(RXAI)를 발생시켜 로우 어드레스 버퍼(11) 내의 어드레스 셀렉터(21)로 출력된다.

어드레스 셀렉터(21)는 외부 어드레스(AI)와 내부 어드레스(RXAI)를 입력받아 선택적으로 로우 어드레스(B\_AX1)를 출력한다. 활성화된 리프레쉬 신호(REF)를 선택입력으로 하여 일반 동작시에는 외부 어드레스(AI)가 리프레쉬 동작시에는 내부 어드레스(RXAI)가 로우 어드레스(B\_AX1)로서 출력된다.

어드레스 래치(22)는 어드레스 셀렉터의 출력신호(B\_AX1)를 뱅크 액티브 신호(BACTO-3)에 동기시켜 뱅크별로 우 어드레스(B\_X10-3)를 출력한다. 리프레쉬 동작시에는 뱅크 액티브 신호 모두 활성화된다. 뱅크 액티브 신호(BACTO-3)는 리프레쉬 신호(REF)와 액티브 커맨드(ACTV.COM)를 입력받는 뱅크 액티브 신호 발생기(23)에서 선택적으로 출력된다. 리프레쉬 동작시 4개의 뱅크가 모두 선택되면, 로우 디코더(13)가 어드레스 래치(22)의 출력신호(B\_X10-3)를 분석하여 해당 워드라인을 활성화시키고, 이로써 리프레쉬 동작이 수행된다.

상기와 같이 동작하는 종래의 셀프-리프레쉬 제어회로는 리프레쉬 동작시 모든 뱅크가 선택되고 각각의 해당 워드라인이 활성화되어 이를 워드라인에 연결된 메모리 셀이 리프레쉬되므로 워드라인이 활성화될 때와 비트라인이 센스 앰프에 의해 증폭될 때 발생되는 전류의 최고치가 일반 동작시보다 많게 된다.

#### 본 명의 이루고자 하는 기술적 목표

따라서 본 발명의 목적은 다수개의 뱅크 액티브 신호를 순차적으로 지연시켜 출력함으로써 셀프-리프레쉬 동작시 발생하는 전류의 최고치를 줄일 수 있는 셀프-리프레쉬 제어회로를 제공하는 것이다.

이와같은 목적을 달성하기 위한 본 발명은 외부 어드레스와 내부 어드레스를 입력받고, 리프레쉬 신호가 인가될 때, 내부 어드레스를 선택적으로 출력하는 어드레스 셀렉터와, 액티브 커맨드와 리프레쉬 신호를 입력받고, 다수개의 뱅크 액티브 신호를 출력하는 뱅크 액티브 신호 발생기와, 뱅크 액티브 신호 발생기의 출력단과 어드레스 래치의 입력단 사이에 연결되고, 셀프-리프레쉬 신호가 활성화될 때, 다수개의 뱅크 액티브 신호를 순차적으로 지연시켜 출력하는 셀프-리프레쉬 동작용 뱅크 액티브 신호 발생기와, 어드레스 셀렉터의 출력신호와 셀프-리프레쉬 뱅크 액티브 신호를 입력받고, 로우 어드레스를 출력하는 어드레스 래치를 포함하여 이루어진다.

#### 본 명의 구성 및 작용

도 3은 본 발명에 따른 로우 어드레스 버퍼를 나타낸 블록도이다. 어드레스 셀렉터(31)는 외부 어드레스(AI)와 내부 어드레스(RXAI)를 입력받고, 리프레쉬 신호(REF)가 활성화될 때, 로우 어드레스(B\_AX1)로서 내부 어드레스(RXAI)를 선택적으로 출력한다. 뱅크 액티브 신호 발생기(34)는 액티브 커맨드(ACTV.COM)와 리프레쉬 신호(REF)를 입력받고 뱅크 액티브 신호(BACTO-3)를 출력한다. 셀프-리프레쉬 동작용 뱅크 액티브 신호 발생기(33)는 뱅크 액티브 신호(BACTO-3)와 셀프-리프레쉬 신호(S\_REF)를 입력받고, 뱅크 액티브 신호(BACTO-3)를 순차적으로 지연시킴으로써 셀프-리프레쉬 뱅크 액티브 신호(SR\_BAO-3)를 출력한다. 어드레스 래치(32)는 로우 어드레스(B\_AX1)와 셀프-리프레쉬 뱅크 액티브 신호(SR\_BAO-3)를 입력받고 뱅크별로 우 어드레스(B\_X10-3)를 출력한다.

도 4는 도 3의 셀프-리프레쉬 동작용 뱅크 액티브 신호 발생기(33)의 바람직한 실시예를 나타낸 회로도이다. 4개의 뱅크로 구성된 메모리 셀 어레이를 예로 들 때, 뱅크 액티브 신호(BACTO-3)는 트랜스미션 게이트(42-48) 및 지연수단(01-06)을 통해 셀프-리프레쉬 뱅크 액티브 신호(SR\_BAO-3)와 각각 연결된다.

먼저, 뱅크 액티브 신호 BACT0는 전원전압(VDD)과 침지전압(VSS) 사이에 연결된 제 1 트랜스미션 게이트(48)의 입력으로 연결되고, 제 1 트랜스미션 게이트(48)의 출력은 셀프-리프레쉬 뱅크 액티브신호 SR\_BA0와 연결된다. 뱅크 액티브 신호 BACT0은 제 2 트랜스미션 게이트(42)와 제 3 트랜스미션 게이트(43)의 입력으로 각각 연결된다. 제 2 트랜스미션 게이트(42)의 출력은 셀프-리프레쉬 뱅크 액티브신호(SR\_BA1)와 직접 연결되고, 제 3 트랜스미션 게이트(43)의 출력은 지연수단(01)을 거쳐 셀프-리프레쉬 뱅크 액티브신호(SR\_BA1)와 연결된다.

또한, 뱅크 액티브 신호 BACT2는 제 2 트랜스미션 게이트(44)와 제 3 트랜스미션 게이트(45)의 입력으로 각각 연결된다. 제 2 트랜스미션 게이트(44)의 출력은 셀프-리프레쉬 뱅크 액티브신호(SR\_BA2)와 직접 연결되고, 제 3 트랜스미션 게이트(45)의 출력은 직렬 연결된 지연수단(02, 03)을 거쳐 셀프-리프레쉬 뱅크 액티브신호(SR\_BA2)와 연결된다.

뱅크 액티브 신호 BACT3은 제 2 트랜스미션 게이트(46)와 제 3 트랜스미션 게이트(47)의 입력으로 각각 연결된다. 제 2 트랜스미션 게이트(46)의 출력은 셀프-리프레쉬 뱅크 액티브신호(SR\_BA3)와 직접 연결되고, 제 3 트랜스미션 게이트(47)의 출력은 직렬 연결된 지연수단(04, 05, 06)을 거쳐 셀프-리프레쉬 뱅크 액티브신호(SR\_BA3)와 연결된다.

지연수단(01~06)은 직렬 연결된 두 개의 인버터로 구성된다.

셀프-리프레쉬 신호(S\_REF)는 제 2 트랜스미션 게이트(42, 44, 46)의 피모스족 게이트와 제 3 트랜스미션 게이트(43, 45, 47)의 엔모스족 게이트에 각각 연결된다.

셀프-리프레쉬 신호(S\_REF)를 입력으로 하는 인버터(41)의 출력(/S\_REF)은 제 2 트랜스미션 게이트(42, 44, 46)의 엔모스족 게이트와 제 3 트랜스미션 게이트(43, 45, 47)의 피모스족 게이트에 각각 연결된다.

도 5는 본 발명에 따른 셀프-리프레쉬 동작용 뱅크 액티브신호 발생기의 동작 파형도 및 도 2와 도 3의 셀프-리프레쉬 동작시 각각의 전류 최고치를 나타낸 것이다. 셀프-리프레쉬의 엔트리 명령(S\_REF ENTRY)이 인가되면, 셀프-리프레쉬 신호(S\_REF)가 로우에서 하이로 활성화되어 셀프-리프레쉬의 헥시트 명령(S\_REF EXIT)이 인가되기 전까지 주기적으로 뱅크를 액티브시킨다.

셀프-리프레쉬 신호(S\_REF)가 하이로 되면 제 2 트랜스미션 게이트(42, 44, 46)가 터 올프되고, 제 3 트랜스미션 게이트(43, 45, 47)가 터 온된다. 이때, 뱅크 액티브 신호(BACT1~3)는 지연수단(01, 02+03, 04+05+06)에 각각 연결되어 셀프-리프레쉬 뱅크 액티브신호(SR\_BA1~3)가 뱅크 액티브 신호(BACT1~3)보다 소정의 시간(t1, t2, t3)만큼 각각 지연된다.

도면부호 51은 증례 기술에 따른 셀프-리프레쉬 동작시 전류 최고치를 나타낸 것으로써 4개의 뱅크 모두가 액티브된 결과이다. 도면부호 52는 본 발명의 경우로써 다수개의 뱅크 액티브 신호가 순차적으로 지연됨으로써 증례의 경우보다 낮은 전류 최고치를 갖는다.

### 3.2. 쟁쟁의 효과

본 발명은 셀프-리프레쉬 동작시 다수개의 뱅크 액티브 신호를 순차적으로 지연시켜 출력함으로써 전류의 최고치를 줄일 수 있을 뿐만 아니라 노이즈에 대한 저항력도 향상된다.

#### (5) 청구항의 범위

##### 청구항 1

다수개의 뱅크로 구성된 메모리 셀을 갖는 반도체 메모리의 셀프-리프레쉬 제어회로에 있어서,

외부 어드레스와 내부 어드레스를 입력받고, 리프레쉬 신호가 인가될 때, 내부 어드레스를 선택적으로 출력하는 어드레스 셀렉터와;

액티브 커맨드와 리프레쉬 신호를 입력받고, 다수개의 뱅크 액티브 신호를 출력하는 뱅크 액티브신호 발생기와;

상기 뱅크 액티브신호 발생기의 출력단과 상기 어드레스 래치의 입력단 사이에 연결되고, 셀프-리프레쉬 신호가 활성화될 때, 상기 다수개의 뱅크 액티브 신호를 순차적으로 지연시켜 출력하는 셀프-리프레쉬 동작용 뱅크 액티브신호 발생기와;

상기 어드레스 셀렉터의 출력신호와 상기 셀프-리프레쉬 뱅크 액티브 신호를 입력받고, 로우 어드레스를 출력하는 어드레스 래치를 구비하여 이루어진 셀프-리프레쉬 제어회로.

##### 청구항 2

청구항 1에 있어서,

상기 셀프-리프레쉬 동작용 뱅크 액티브신호 발생기는

상기 뱅크 액티브 신호를 셀프-리프레쉬 뱅크 액티브신호로서 출력하는 제 1 트랜스미션 게이트와;

상기 셀프-리프레쉬 신호가 하이일 때 터 올프되고, 상기 뱅크 액티브 신호를 셀프-리프레쉬 뱅크 액티브 신호로서 출력하는 제 2 트랜스미션 게이트와;

상기 제 2 트랜스미션 게이트와 병렬 연결되고, 상기 셀프-리프레쉬 신호가 하이일 때 터 온되며, 출력단에 지연수단이 연결되어 상기 뱅크 액티브 신호를 소정 시간 지연시켜 출력하는 제 3 트랜스미션 게이트로 구성되는 것이 특징인 셀프-리프레쉬 제어회로.

##### 청구항 3

청구항 2에 있어서,

상기 셀프-리프레쉬 동작용 백크 액티브신호 발생기는

상기 백크 액티브 신호를 셀프-리프레쉬 백크 액티브신호로서 출력하는 제 1 트랜스미션 게이트와;

상기 셀프-리프레쉬 신호를 인가받아 이를 반전시켜 출력하는 인버터와;

제 1 피모스 및 제 1 엔모스 트랜지스터로 구성되어, 상기 제 1 피모스 트랜지스터의 게이트를 통해 상기 셀프-리프레쉬 신호를 입력받고, 상기 제 1 엔모스 트랜지스터의 게이트를 통해 상기 인버터의 출력신호를 입력받으며, 상기 백크 액티브 신호를 셀프-리프레쉬 백크 액티브신호로서 출력하는 제 2 트랜스미션 게이트와;

제 2 피모스 및 제 2 엔모스 트랜지스터로 구성되어, 상기 제 2 피모스 트랜지스터의 게이트를 통해 상기 상기 인버터의 출력신호를 입력받고, 상기 제 2 엔모스 트랜지스터의 게이트를 통해 상기 셀프-리프레쉬 신호를 입력받으며, 상기 제 2 트랜스미션 게이트를 병렬 연결되고, 출력단에 지연수단이 연결되어 상기 백크 액티브 신호를 소정 시간 지연시켜 출력하는 제 3 트랜스미션 게이트로 구성되는 것이 특징인 셀프-리프레쉬 제어회로.

청구항 4:

청구항 2 또는 3에 있어서,

상기 지연수단은 적수 개의 인버터가 직렬 연결되는 것이 특징인 셀프-리프레쉬 제어회로.

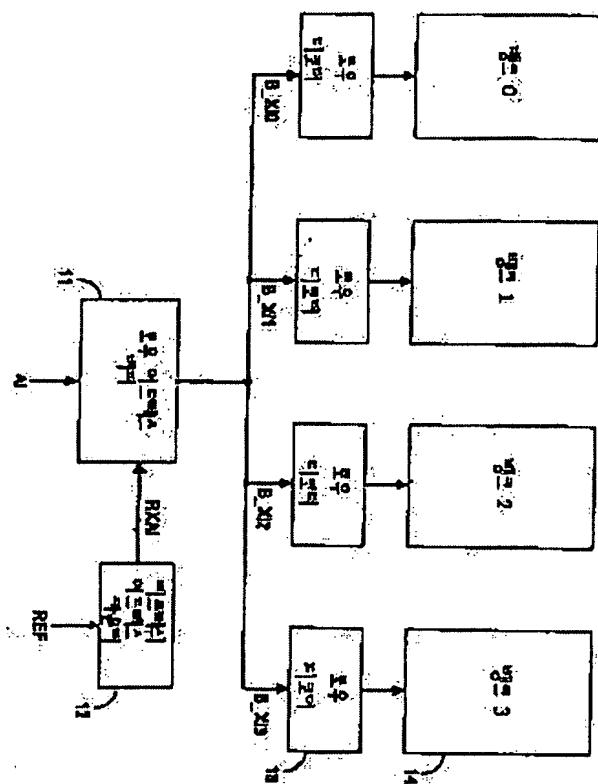
청구항 5:

청구항 1에 있어서,

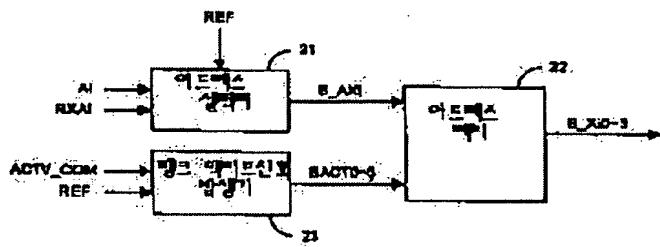
상기 셀프-리프레쉬 동작용 백크 액티브신호 발생기는 셀프-리프레쉬 신호가 비활성화될 때, 상기 다수개의 백크 액티브 신호를 동시에 일괄적으로 출력하는 것이 특징인 셀프-리프레쉬 제어회로.

~~도면~~

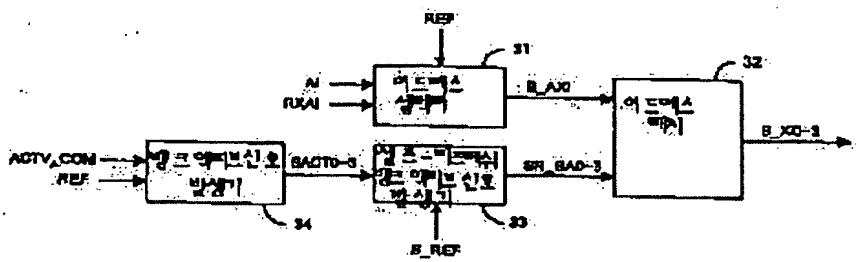
도81



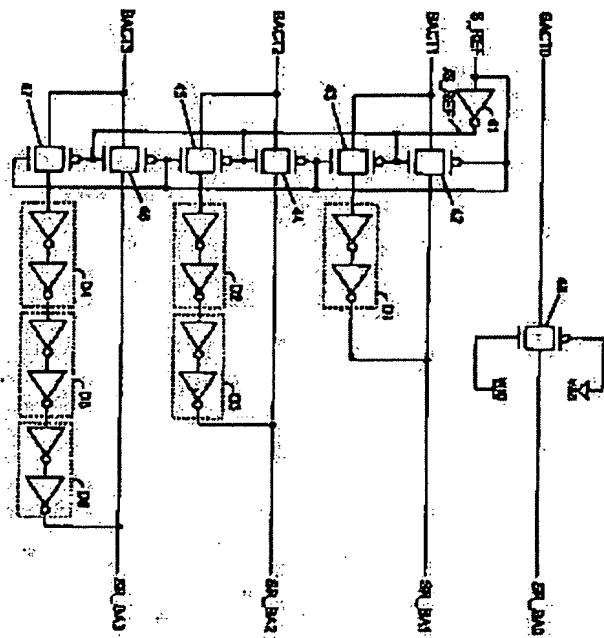
도82



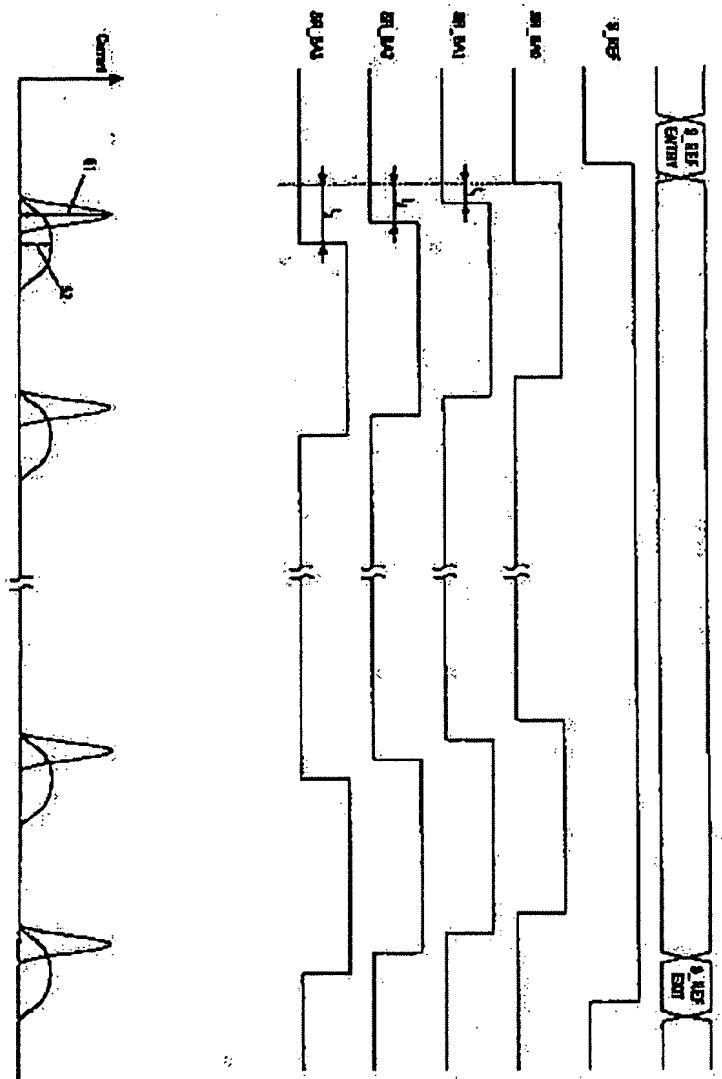
503



504



585



7-7

**BEST AVAILABLE COPY**